

## **SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF**

Publication Number: 06-204429 (JP 6204429 A) , July 22, 1994

### **Inventors:**

- NITAYAMA AKIHIRO
- HIEDA KATSUHIKO

### **Applicants**

- TOSHIBA CORP (A Japanese Company or Corporation), JP (Japan)

Application Number: 04-349437 (JP 92349437) , December 28, 1992

### **International Class (IPC Edition 5):**

- H01L-027/108
- H01L-021/76
- H01L-027/04

### **JAPIO Class:**

- 42.2 (ELECTRONICS--- Solid State Components)
- 45.2 (INFORMATION PROCESSING--- Memory Units)

### **JAPIO Keywords:**

- R097 (ELECTRONIC MATERIALS--- Metal Oxide Semiconductors, MOS)

### **Abstract:**

**PURPOSE:** To provide an NAND type DRAM of such structure as to be advantageous for integration of high degree.

**CONSTITUTION:** This NAND type DRAM has a dynamic type memory cell comprising a plurality of MOS transistors provided in the cell region of a silicon substrate 1 and connected in series and a trench type capacitor in which a



capacitor insulating film 7 is inserted between a plate electrode connected for every common source-drain region 16 of the MOS transistors and connected to the common source-drain region 16 and a stored electrode 8, wherein at least a part of the plate electrode is made up of a silicon substrate 1.

JAPIO

© 2003 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 4733429



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-204429

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01L 27/108

21/76

27/04

L 9169-4M

C 8427-4M

7210-4M

7210-4M

H01L 27/10

325 D

325 M

審査請求 未請求 請求項の数2 (全9頁)

(21)出願番号

特願平4-349437

(22)出願日

平成4年(1992)12月28日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 仁田山 晃寛

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 稗田 克彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

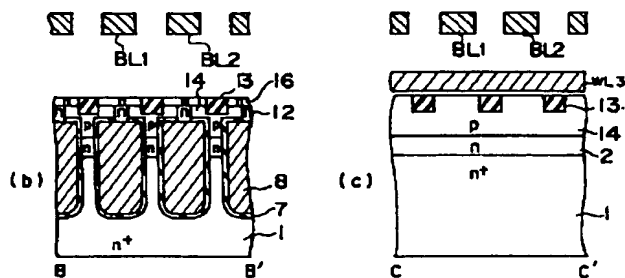
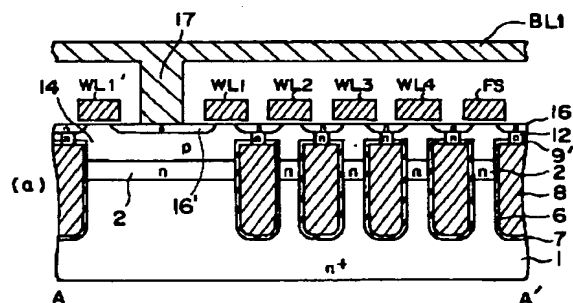
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体記憶装置及びその製造方法

(57)【要約】

【目的】本発明は、高集積に有利な構造のNAND型DRAMを提供することを目的とする。

【構成】シリコン基板1のメモリセル領域に設けられ、直列接続された複数のMOSトランジスタと、これらMOSトランジスタの各共通ソース・ドレイン領域16毎に接続され、共通ソース・ドレイン領域16に接続されたプレート電極と蓄積電極8との間にキャパシタ絶縁膜7を挿設してなるトレンチ型キャパシタとからなるダイナミック型メモリセルを有するNAND型DRAMにおいて、上記プレート電極の少なくとも一部分がシリコン基板1からなることを特徴とする。



1

## 【特許請求の範囲】

【請求項1】半導体基板のメモリセル領域に設けられ、直列接続された複数のMOSトランジスタと、これらMOSトランジスタの共通ソース・ドレイン毎に接続された蓄積電極とプレート電極との間にキャパシタ絶縁膜を介して形成されているトレンチ型キャパシタと、からなるダイナミック型メモリセルを有する半導体記憶装置において、前記プレート電極の少なくとも一部分が、前記半導体基板からなることを特徴とする半導体記憶装置。

【請求項2】半導体基板のメモリセル領域に設けられ、直列接続された複数のMOSトランジスタと、これら複数のMOSトランジスタの各共通ソース・ドレイン毎に接続されたトレンチ型キャパシタと、からなるダイナミック型メモリセルと、前記複数のMOSトランジスタの各ゲートに接続されたワード線と、前記複数のMOSトランジスタのうち、一方の最端側のMOSトランジスタのドレインに接続されたビット線とを有する半導体記憶装置の製造方法において、前記ワード線、前記ビット線、前記キャパシタのトレンチパターン及び前記ダイナミック型メモリセルを区分する素子分離用絶縁膜のそれぞれの形成工程は、ピッチ間隔が最小加工寸法の2倍の第1のワード線、第1のビット線、第1のトレンチパターン及び第1の素子分離用絶縁膜を形成する工程と、ピッチ間隔が最小加工寸法の2倍で、前記第1の第1のワード線、前記第1のビット線、前記第1のトレンチパターン及び前記第1の素子分離用絶縁膜とそれぞれ最小加工寸法だけずれた第2のワード線、第2のビット線、第2のトレンチパターン及び第2の素子分離用絶縁膜を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体記憶装置に係り、特に複数のMOSトランジスタを直列接続した構成のメモリセルブロック（NAND型メモリセルブロック）を用いたダイナミック型半導体記憶装置（DRAM）に関する。

## 【0002】

【従来の技術】近年、LSIメモリの中のRAMの一種であるDRAMの集積化には覚ましい進歩がある。DRAMの更なる高集積化を図るために、NAND型メモリセルブロックと呼ばれる新しいメモリセルブロックが提案されている。

【0003】このNAND型メモリセルブロックの等価回路を図15に示す。このメモリセルブロックは、複数のMOSトランジスタが直列接続されると共に、これらMOSトランジスタの各共通ソース・ドレインにキャパ

2

シタが接続され、そして、ワード線WL1、WL2、WL3、WL4がそれぞれ各MOSトランジスタのゲートに接続され、ビット線BLがメモリセルブロック端部のMOSトランジスタのドレインに接続されている構成になっている。

【0004】このように構成されたメモリセルブロックによれば、従来のメモリセルブロックに比べて、ビット線BLとMOSトランジスタとのコンタクトが少なくなるため、メモリセル全体の面積が小さくなり、よりいっそうの集積化が図れる。

【0005】このようなNAND型メモリセルブロックを実際に用いたDRAMセルとしては、スタック型のDRAMセルが知られている。この種のDRAMセルの1ビット当りの最小メモリセル面積は、デザインルール（最小寸法幅）をFとすると、 $4F^2$ が限界であった。

【0006】また、スタック型のDRAMセルの場合、大きいキャパシタ容量を得るには、キャパシタ電極を高く形成する必要がある。このため、DRAMセルの領域にA1等の配線材料を堆積して上層配線を形成しようとすると、下地段差が $1\mu\text{m}$ 以上にもなり、上層配線の形成が困難であった。

## 【0007】

【発明が解決しようとする課題】上述の如く、従来のNAND型メモリセルブロックを用いたスタック型のDRAMセルでは、デザインルール（最小寸法幅）をFとすると、メモリセル面積を $4F^2$ より小さくできないという問題があった。

【0008】また、スタック型のDRAMセルの場合、キャパシタ容量を大きくするには、キャパシタ電極を高く形成する必要があるため、上層配線の形成が困難になるという問題があった。

【0009】本発明は、上記事情を考慮してなされたもので、その目的とするところは、更になる高集積化を実現でき、且つ上層配線の形成が容易な半導体記憶装置及びその製造法を提供することにある。

## 【0010】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体記憶装置（請求項1）は、半導体基板のメモリセル領域に設けられ、直列接続された複数のMOSトランジスタと、これら複数のMOSトランジスタの各共通ソース・ドレイン毎に接続され、この共通ソース・ドレインに接続された蓄積電極とプレート電極との間にキャパシタ絶縁膜が挿設されてなるトレンチ型キャパシタとからなるダイナミック型メモリセルを有する半導体記憶装置において、前記プレート電極の少なくとも一部分が前記半導体基板からなることを特徴とする。

【0011】ここで、プレート電極の少なくとも一部分とは、例えば、プレート電極の下部部分をいう。すなわち、プレート電極は、半導体基板からなる部分とそれ以

3

外の部分とに分けられる。

【0012】また、本発明の半導体記憶装置の製造方法（請求項2）は、半導体基板のメモリセル領域に設けられた直列接続された複数のMOSトランジスタと、これら複数のMOSトランジスタの各共通ソース・ドレイン毎に接続されたトレンチ型キャパシタとからなるダイナミック型メモリセルと、前記複数のMOSトランジスタの各ゲートに接続されたワード線と、前記複数のMOSトランジスタのうち、一方の最端側のMOSトランジスタのドレインに接続されたビット線とを有する半導体記憶装置の製造方法において、前記ワード線、前記ビット線、前記キャパシタのトレンチパターン及び前記ダイナミック型メモリセルを区分する素子分離用絶縁膜のそれぞれの形成工程が、ピッチ間隔が最小加工寸法の2倍の第1のワード線、第1のビット線、第1のトレンチパターン及び第1の素子分離用絶縁膜を形成する工程と、ピッチ間隔が最小加工寸法の2倍で、前記第1の第1のワード線、前記第1のビット線、前記第1のトレンチパターン及び前記第1の素子分離用絶縁膜とそれぞれ最小加工寸法だけずれた第2のワード線、第2のビット線、第2のトレンチパターン及び第2の素子分離用絶縁膜を形成する工程とからなることを特徴とする。

【0013】

【作用】本発明の半導体記憶装置によれば、NAND型メモリセルにおいて、プレート電極の少なくとも一部分として半導体基板自身を用いているので、プレート電極構造が簡略し、さらなるセル面積の縮小化が図れる。

【0014】また、本発明の半導体装置の製造方法によれば、最小加工寸法の2倍の加工寸法によって、主要部分（ワード線、ビット線、トレンチパターン、素子分離用絶縁膜）を、2Fのピッチで2回に分けて形成しているので、2Fピッチ中に1つの上記主要部分を形成するのではなく、Fピッチ中に1つの上記主要部分を形成できるようになる。この結果、セル面積をF<sup>2</sup>（従来は4F<sup>2</sup>が限界である。）にまで縮小でき、さらなる高集積化が図れる。

【0015】

【実施例】以下、図面を参照しながら実施例を説明する。

【0016】図1は、本発明の一実施例に係るNAND型DRAMセルアレイの平面図であり、図2（a）、図2（b）、図2（c）は、それぞれ、図1のDRAMセルアレイのA-A'断面図、B-B'断面図、C-C'断面図である。

【0017】本実施例では、1トランジスタ/1キャパシタのメモリセル4個でNAND型セルブロックを形成した場合について説明するが、メモリセルの個数は4以外であっても良い。

【0018】図中、1はn+型シリコン基板を示しており、このn+型シリコン基板1上にはn型エピタキシャ

4

ル層2、p型ウェル層14が順次形成されている。メモリセル領域のp型ウェル14層内にはメモリセルを区分する素子分離用絶縁膜13が形成されている。

【0019】キャパシタ用のトレンチ6の内壁にはキャパシタ絶縁膜7が形成されており、このキャパシタ絶縁膜7を介してトレンチ6中に蓄積電極8が埋め込まれている。この蓄積電極8はn型不純物拡散層12を介してn型共通ソース・ドレイン領域16と接続している。一方、キャパシタを構成する他の電極であるプレート電極はn型エピタキシャル層2とn+型シリコン基板1がその役割を果たしている。このため、プレート電極のための特別な構造が不要になり、セル面積の縮小化が図れる。

【0020】また、素子分離用絶縁膜13は、ワード線WL<sub>1</sub>～WL<sub>4</sub>（ゲート電極の役割も兼用）と直交しており、また、ビット線方向に隣接するセルブロックはフィールドシールド線FS（ゲート電極の役割も兼用）で構成されるトランジスタにより分離されている。また、ワード線WL<sub>1</sub>～WL<sub>4</sub>はビット線BLと直交し、このビット線BLはビット線コンタクト17を介してセルブロック端部のMOSトランジスタのn型ドレイン領域16'と接続している。次に上記の如きの基本構造を有するDRAMの製造方法について説明する。

【0021】まず、図3（a）に示すように、表面にn型エピタキシャル層2が形成されたn+型シリコン基板1上を用意し、n型エピタキシャル層2上にトレンチ形成用マスクとしての、薄いシリコン酸化膜3、窒化膜4、酸化膜5からなる積層絶縁膜を形成する。

【0022】次に図3（b）に示すように、フォトリソグラフィとエッチング技術とを用いて、トレンチ形成用マスク積層絶縁膜3、4、5を加工し、それをマスクにしてn型エピタキシャル層2、n+型シリコン基板1をエッチングし、深いトレンチ6を形成する。

【0023】次に図3（c）に示すように、トレンチ6の内壁にキャパシタ絶縁膜7を形成する。キャパシタ絶縁膜7としては、例えば、シリコン酸化膜や、窒化膜と酸化膜の積層膜や、Ta<sub>2</sub>O<sub>5</sub>、HfO<sub>2</sub>等の強誘電体膜を用いる。次いで全面に蓄積電極8となる多結晶シリコン等の導電材料をトレンチが完全に充填される程度の厚さに堆積した後、この導電材料を反応性イオンエッチングやポリッシング等により加工して蓄積電極8を形成する。ここで、蓄積電極8がn型不純物を含むように蓄積電極8の堆積中のドーピングまたはイオン注入等により形成する。次いでこの蓄積電極8の表面に酸化膜9を形成してキャッピングする。この酸化膜9は、例えば、熱酸化等により形成する。

【0024】次にシリコン酸化膜3、窒化膜4および酸化膜5を除去した後（このとき酸化膜9は薄い酸化膜9'となる）、図3（d）に示すように、シリコンのエピタキシャル成長を行なう。このエピタキシャル成長は、

5

蓄積電極8の上部が薄い酸化膜9'により被覆されているので横方向の成長が優先的に進むものとなる。この結果、自動的に各トレンチキャパシタ上に蓄積ノード開口部11が形成される。次に蓄積ノード開口部11の酸化膜9'をウエットエッチング等により除去した後、引き続き、エピタキシャル成長を行なうと、図4(a)に示すように、蓄積電極8からのオートドーピングにより、蓄積ノード開口部11内に不純物拡散層12が形成される。この結果、表面が平坦なエピタキシャル層10'が得られる。次に図4(b)に示すように、素子分離用絶縁膜13を形成した後、メモリセル部のp型ウェル14を形成する。

【0025】次に図4(c)に示すように、ワード線WL<sub>1</sub>~WL<sub>4</sub>およびフィールドシールド線FSを多結晶シリコンや高融点金属やシリサイド等で同時に形成した後、イオン注入法等により、n型共通ソース・ドレイン領域16およびセルブロック端部のn型ドレイン領域16'を形成する。最後に、反応性イオンエッチング等を用いて、データ線コンタクト17、ビット線18を形成する。更に、上層配線がある場合には、この上層配線と層間絶縁膜を加工して、所望のDRAMが得られる。

【0026】以上述べたように、本実施例のDRAMによれば、プレート電極の下部部分としてシリコン基板1自身を用いているので、プレート電極のための特別な構造が不要になり、セル面積の縮小化が図れる。なお、必要に応じたプレート電極に占めるシリコン基板1の割合を増減しても良い。

【0027】図5は、本発明の他の実施例に係るNAND型DRAMセルアレイの平面図であり、図6(a)、図6(b)、図7(a)、図7(b)は、それぞれ、図5のDRAMセルアレイのA-A'断面図、B-B'断面図、C-C'断面図、D-D'断面図である。なお、図1~図4のDRAMと対応する部分には図1~図4と同一符号を付してあり、詳細な説明は省略する。

【0028】本実施例のDRAMが先の実施例のそれと異なる点は、素子分離用絶縁膜、データ線、ビット線、データ線コンタクトの各レイヤをそれぞれ2つに分けて形成しデザインルール(F)のピッチの中に形成している。

【0029】すなわち、ゲート電極15、15'、ビット線BL<sub>1</sub>、BL<sub>2</sub>、データ線コンタクト17、17'の各レイヤを、2Fのピッチ間隔で2回に分けて形成している。このため、各レイヤは実質的に2つのレイヤからなりたっている。また、素子分離用絶縁膜13、13'、トレンチ6、6'も2回の工程で形成している。このような形成方法により、1ビットのセル面積は、従来の4F<sup>2</sup>からF<sup>2</sup>近くまで縮小可能となる。次に各レイヤの具体的な形成方法について説明する。図8は、トレンチの形成工程を示す平面図である。

【0030】まず、図8(a)に示すように、通常のフ

6

ォトリソグラフィとエッチング技術を用いて、ピッチ間隔が2Fで一辺がFのトレンチ6を形成するためのレジストパターンを形成し、下地のトレンチ形成用マスク積層絶縁膜を加工する。

【0031】次に図8(b)に示すように、トレンチ6とFずれた一辺がFのトレンチ6'を形成するためのレジストパターンを形成し、下地のトレンチ形成用マスク積層絶縁膜を加工する。

【0032】最後に、上記トレンチ形成用マスクパターンをマスクとして、シリコン基板をエッチングし、トレンチ6、6'を形成する。この結果、Fピッチのトレンチ6、6'が得られる。図9は、素子分離用絶縁膜の形成工程を示す平面図である。まず、図9(a)に示すように、ピッチ間隔が2Fの素子分離用の溝を形成し、素子分離用絶縁膜13'（第1の素子分離用絶縁膜）を形成する。

【0033】次に図9(b)に示すように、素子分離用の溝13のマスクパターンとFずれたマスクパターンを形成し、これをマスクとして下地をエッチングして素子分離用の溝を形成する。

【0034】最後に、この溝内に絶縁膜を埋め込んで素子分離用絶縁膜13'（第2の素子分離用絶縁膜）を形成すると、ピッチ間隔がFの素子分離用絶縁膜13、13'が形成される。図10は、ワード線およびフィールドシールド線の形成工程を示す平面図である。まず、図10(a)に示すように、2Fのピッチでワード線WL<sub>1</sub>'、WL<sub>1</sub>、WL<sub>3</sub>（第1のワード線）、フィールドシールド線FSを形成する。

【0035】次に図10(b)に示すように、全面に絶縁膜を介してワード線等となる導電性膜を堆積した後、ワード線WL<sub>1</sub>'、WL<sub>1</sub>、WL<sub>3</sub>、フィールドシールド線FSのマスクパターンとFずれたマスクパターンを形成し、これをマスクとして上記導電膜をエッチングし、WL<sub>2</sub>'、WL<sub>2</sub>、WL<sub>4</sub>、WL<sub>4</sub>'を形成する。

【0036】この結果、ピッチ間隔がFのワード線WL<sub>2</sub>'、WL<sub>2</sub>、WL<sub>4</sub>、WL<sub>4</sub>'（第2のワード線）が形成され、全体としてピッチ間隔がFのワード線等が形成される。

【0037】図11、図12は、それぞれ、データ線コンタクト、ビット線の形成工程を示す平面図である。これらレイヤの形成方法も他のレイのそれと同じで、2Fピッチのものを2回に分けて形成すれば良い。図13は、他のトレンチの形成方法を示す工程図である。

【0038】まず、図13(a)、(b)に示すように、薄いシリコン酸化膜3上にトレンチマスク材としての厚いシリコン窒化膜20を形成する。次いでこのシリコン窒化膜20上にCVD法によりシリコン酸化膜21を形成し、続いて、このシリコン酸化膜21上にエッジ利用型位相シフトマスク法等を用いてフォトリソパターン19（第1のトレンチパターン）を形成する。次



7

いでこのフォトレジストパターン19をマスクとしてシリコン酸化膜20を反応性イオンエッチングによりエッチングして、シリコン酸化膜20にフォトレジストパターンを転写する。次に図13(c), (d)に示すように、フォトレジストパターン19を剥離した後、シリコン酸化膜20上に縦横にFずつずらしたフォトレジストパターン19' (第2のトレンチパターン) を形成する。次いでこのフォトレジストパターン19' およびシリコン酸化膜21をマスクとして、シリコン窒化膜20をエッチングし、Fピッチのトレンチ用マスクパターンを形成する。

【0039】そして、上記シリコン窒化膜20からなるトレンチ用マスクパターンをマスクとして、シリコン酸化膜3, n型エピタキシャル層2およびシリコン基板1 (不図示) をエッチングすることにより、一辺がFに近い開口を有するトレンチを形成できる。

【0040】以上のレイヤ以外の工程は先の実施例のそれと同じであるが、必要に応じて上述した以外のレイヤもFピッチ間隔で2回に分けて形成しても良い。このような製造方法により、セル面積がF<sup>2</sup>に近いメモリセルが得られる。図14は、4つのセル面積(F<sup>2</sup>, 2F<sup>2</sup>, 4F<sup>2</sup>, 8F<sup>2</sup>) の場合についての、集積度とデザインルールとの関係を示す図である。

【0041】この図14からセル面積が2F<sup>2</sup>の場合、0.35μmのデザインルールで集積度は1Gビットとなり、セル面積がF<sup>2</sup>の場合、0.5μmのデザインルールでも集積度は1Gビットとなる。そして、セル面積がF<sup>2</sup>の場合、0.25μmのデザインルールで集積度は1.6Gビットと飛躍的に高くなる。

【0042】このため、セル面積をF<sup>2</sup>近くまで縮小できる本実施例の方法を用いることにより、高集積度のDRAMを容易に実現できるようになる。なお、本実施例では2Fのピッチ間隔で2回に分けてレイヤを形成する場合について説明したが、従来よりセル面積が小さくなるなら、ピッチ間隔は2Fより大きくても良い。

【0043】なお、本発明は、上記実施例に限られるものではない。例えば、上記実施例では、導電材料として主に多結晶シリコンを用いているが、シリサイドや金属或いはこれらの積層膜を用いてもかまわない。また、基板やウェル等の導電型は、逆の導電型を用いてもかまわない。また、図8~13に示したレイアウトパターンも、種々変形することが可能である。また、キャパシタがSTC構造等の場合にも適用できる。その他、本発明の要旨を逸脱しない範囲で種々変形して実施できる。

【0044】

【発明の効果】以上詳述したように本発明の半導体記憶装置では、プレート電極の少なくとも一部分として半導

8

体基板自身を用いているのでキャパシタの構造が簡略する。この結果、キャパシタの微細化が図られ、集積度を高めることができる。

【0045】また、本発明の半導体記憶装置の製造方法では、同一レイヤを2Fのピッチで2回に分けて形成している。この結果、Fピッチ中に1つのデータ線等を形成できるようになり、集積度を高めることができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るDRAMの平面図。

【図2】図1のDRAMの断面図。

【図3】本発明の一実施例に係るDRAMの前半の製造工程を示す工程断面図。

【図4】本発明の一実施例に係るDRAMの後半の製造工程を示す工程断面図。

【図5】本発明の他の実施例に係るDRAMの平面図。

【図6】図5のDRAMの断面図。

【図7】図5のDRAMの断面図。

【図8】トレンチパターンの形成方法を示す工程平面図。

【図9】素子分離用絶縁膜パターンの形成方法を示す工程平面図。

【図10】ワード線パターンの形成方法を示す工程平面図。

【図11】データ線コンタクトパターンの形成方法を示す工程平面図。

【図12】ビット線パターンの形成方法を示す工程平面図。

【図13】他のトレンチパターンの形成方法を示す工程平面図。

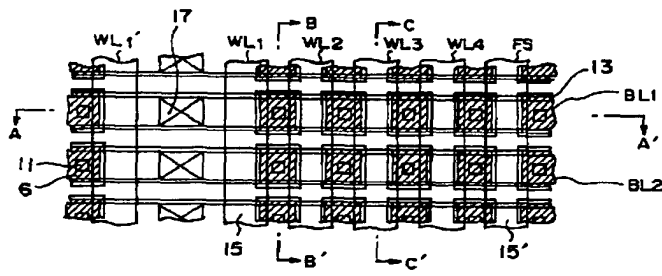
【図14】集積度のデザインルールおよびセル面積の依存性を示す図。

【図15】NAND型メモリセルブロックの等価回路を示す図。

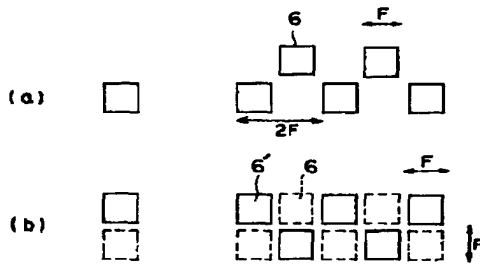
【符号の説明】

1…シリコン基板 (プレート電極)、2, 10, 10'…エピタキシャル層、3, 5, 21…シリコン酸化膜、4, 20, 20'…シリコン窒化膜、6, 6'…トレンチ、7…キャパシタ絶縁膜、8…蓄積電極、9, 9'…酸化膜、11…蓄積ノード開口部、16…共通ソース・ドレイン領域、16'…セルブロック端部のドレイン領域、13, 13'…素子分離用絶縁膜、14…p型ウェル、17, 17'…データ線コンタクト、19…フォトレジストパターン (第1のトレンチパターン)、19'…フォトレジストパターン (第2のトレンチパターン)、WL<sub>1</sub>~WL<sub>4</sub>…ワード線 (ゲート電極)、BL, BL<sub>1</sub>, BL<sub>2</sub>…ビット線、FS…フィールドシールド電極。

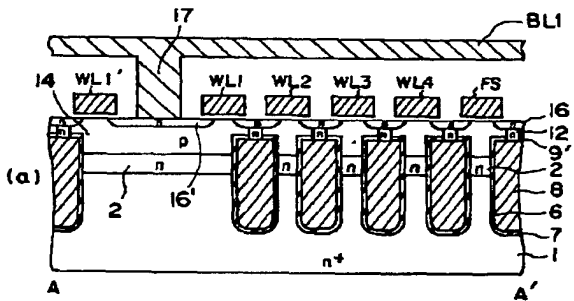
【図1】



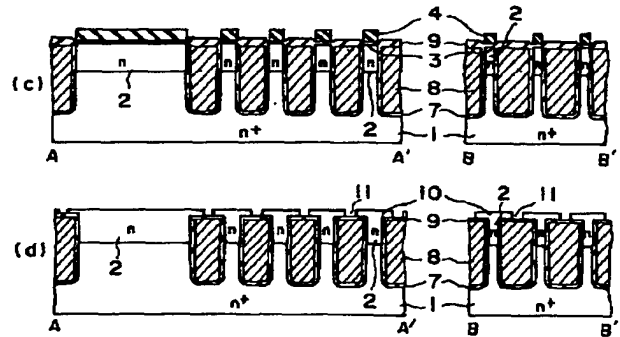
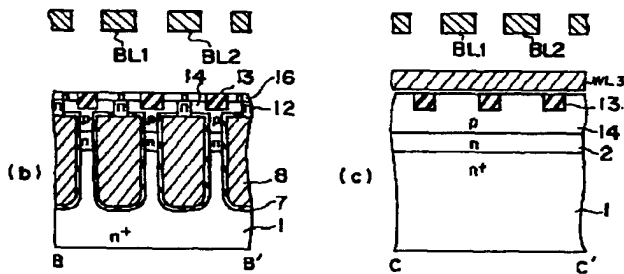
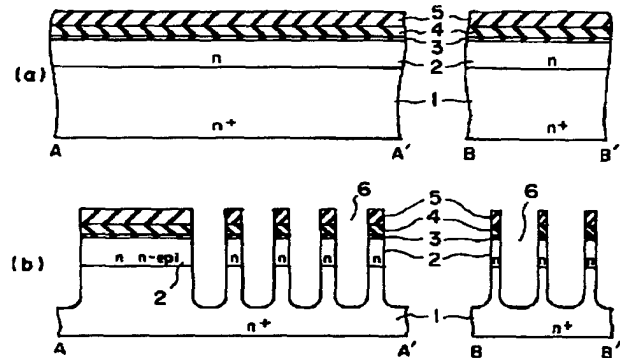
【図8】



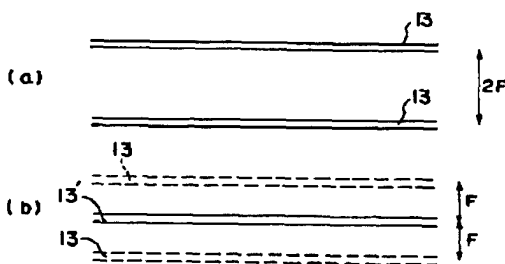
【図2】



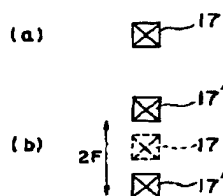
【図3】



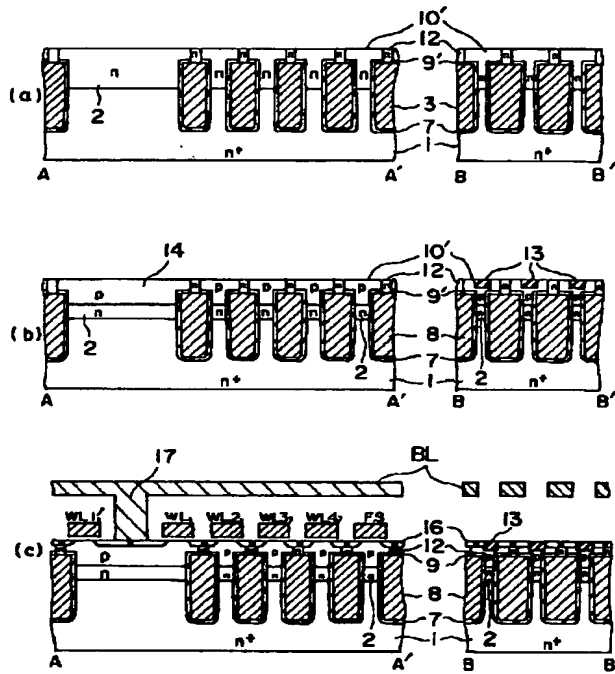
【図9】



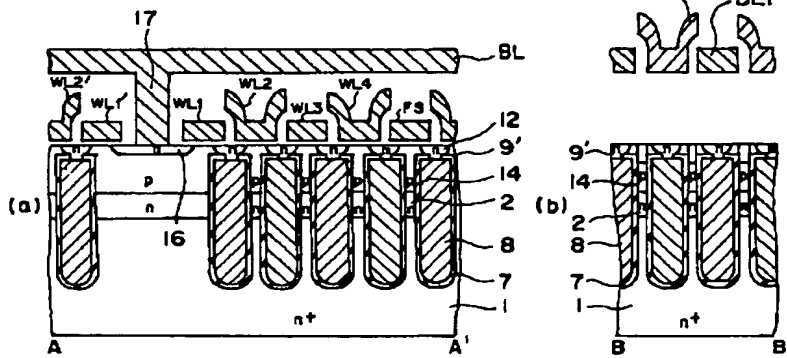
【図11】



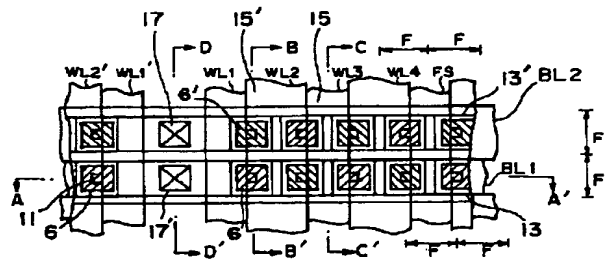
【図4】



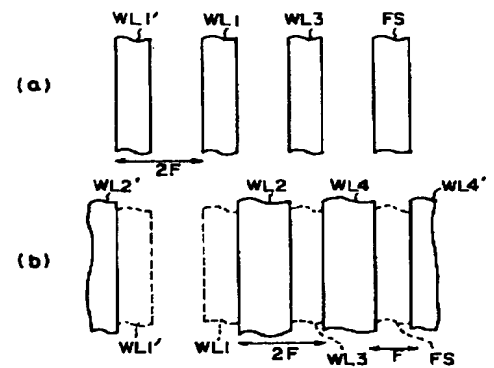
【図6】



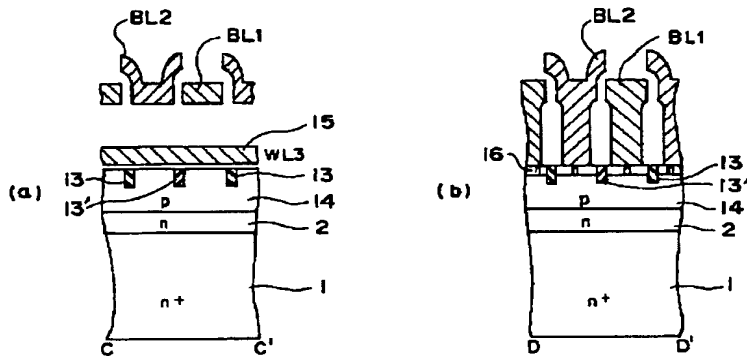
【図5】



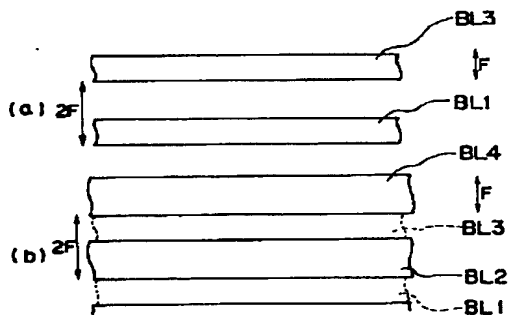
【図10】



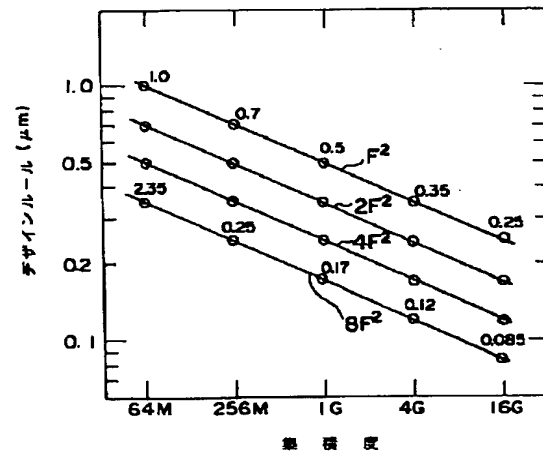
【図7】



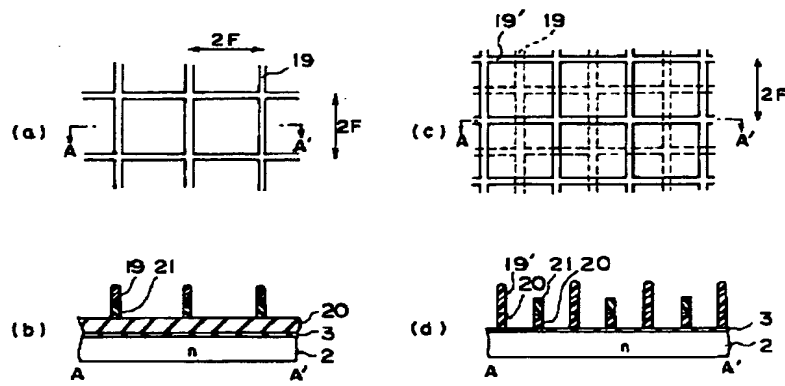
【図12】



【図14】



【図13】



【図15】

